



Docket No.: 8733.946.00-US  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Jae-Deok Park

Customer No.: 30827

Application No.: 10/747,688

Confirmation No.: 2897

Filed: December 30, 2003

Art Unit: N/A

For: SHIFT REGISTER

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Korea, Republic of	10-2003-029820	May 12, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: June 23, 2004

Respectfully submitted,

By Valerie P. Hayes <sup>Reg. No.</sup> 53,005  
for Kurt M. Eaton  
Registration No.: 51,640  
MCKENNA LONG & ALDRIDGE LLP  
1900 K Street, N.W.  
Washington, DC 20006  
(202) 496-7500  
Attorney for Applicant



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

op 3083

출원 번호 : 10-2003-0029820  
Application Number

출원 년 월 일 : 2003년 05월 12일  
Date of Application MAY 12, 2003

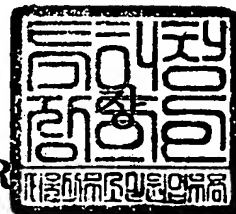
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 05 월 23 일

특 허 청

COMMISSIONER





1020030029820

출력 일자: 2003/5/23

**【서지사항】**

<b>【서류명】</b>	서지사항 보정서
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2003.05.13
<b>【제출인】</b>	
<b>【명칭】</b>	엘지 .필립스 엘시디 주식회사
<b>【출원인코드】</b>	1-1998-101865-5
<b>【사건과의 관계】</b>	출원인
<b>【대리인】</b>	
<b>【성명】</b>	김영호
<b>【대리인코드】</b>	9-1998-000083-1
<b>【포괄위임등록번호】</b>	1999-001050-4
<b>【사건의 표시】</b>	
<b>【출원번호】</b>	10-2003-0029820
<b>【출원일자】</b>	2003.05.12
<b>【발명의 명칭】</b>	쉬프트 레지스터
<b>【제출원인】</b>	
<b>【접수번호】</b>	1-1-2003-0167416-02
<b>【접수일자】</b>	2003.05.12
<b>【보정할 서류】</b>	특허출원서
<b>【보정할 사항】</b>	
<b>【보정대상항목】</b>	발명자
<b>【보정방법】</b>	정정
<b>【보정내용】</b>	
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	박재덕
<b>【성명의 영문표기】</b>	PARK, Jae Deok
<b>【주민등록번호】</b>	671228-1079519
<b>【우편번호】</b>	718-831
<b>【주소】</b>	경상북도 칠곡군 석적면 남율리 우방 신천지 타운 111동 100 1호
<b>【국적】</b>	KR



1020030029820

출력 일자: 2003/5/23

【취지】

특허법시행규칙 제13조·실용신안법시행규칙 제8조  
의 규정에 의하여 위와 같 이 제출합니다. 대리인  
김영호 (인)

【수수료】

【보정료】

0 원

【기타 수수료】

원

【합계】

0 원

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.05.12
【발명의 명칭】	쉬프트 레지스터
【발명의 영문명칭】	SHIFT REGISTER
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	박재덕
【성명의 영문표기】	PARK, Jae Deok
【주민등록번호】	671228-1079519
【우편번호】	718-831
【주소】	경상북도 칠곡군 석적면 남율리 우방 신천지 차운 111동 1001호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 김영 호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	18 면 18,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	47,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 누설 전류로 인한 출력 신호의 왜곡을 방지할 수 있는 쉬프트 레지스터에 관한 것이다.

본 발명의 쉬프트 레지스터는 제1 및 제2 공급 전압과 위상 지연된 제어 신호들에 의해 입력 신호를 쉬프트시켜 각각의 출력 신호와 다음단의 입력 신호로 공급하는 다수의 스테이지들로 이루어지고, 그 스테이지들 각각은 입력 신호 공급 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제1 내지 제3 트랜지스터를 이용하여 그들 사이의 제1 노드에 상기 입력 신호 및 제1 공급 전압을 선택적으로 공급하는 제1 제어부와; 상기 제2 공급 전압 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제4 및 제5 트랜지스터를 이용하여 그들 사이의 제2 노드에 상기 제2 및 제1 공급 전압을 선택적으로 공급하는 제2 제어부와; 상기 제어 신호들 중 특정 제어 신호의 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제6 및 제7 트랜지스터를 이용하여 그들 사이의 상기 스테이지의 출력 라인에 상기 특정 제어 신호와 상기 제1 공급 전압을 상기 출력 신호로 선택적으로 공급하는 출력 버퍼부를 구비하고; 상기 제2 제어부의 제5 트랜지스터는 상기 제4 트랜지스터가 턴-오프되면 상기 제2 노드가 상기 제1 공급 전압을 유지하도록 턴-온되는 것을 특징으로 한다.

**【대표도】**

도 9

## 【명세서】

## 【발명의 명칭】

쉬프트 레지스터{SHIFT REGISTER}

## 【도면의 간단한 설명】

도 1은 종래의 쉬프트 레지스터를 개략적으로 나타내는 도면.

도 2는 도 1에 도시된 쉬프트 레지스터의 입출력 파형도.

도 3은 도 1에 도시된 한 스테이지의 상세 회로도.

도 4는 도 3에 도시된 스테이지에서의 누설 경로를 도시한 도면.

도 5는 도 3에 도시된 스테이지에서의 누설 전류로 인한 출력 신호의 왜곡 현상을 도시한 파형도.

도 6은 본 발명의 제1 실시 예에 따른 쉬프트 레지스터의 한 스테이지에 대한 상세 회로도.

도 7은 도 6에 도시된 스테이지의 입출력 파형도.

도 8은 도 6에 도시된 스테이지에서 t4기간의 전류 패스 경로를 구체적으로 도시한 도면.

도 9는 도 8에 도시된 스테이지 각 노드의 파형을 구체적으로 도시한 파형도.

도 10은 본 발명의 제2 실시 예에 따른 쉬프트 레지스터의 한 스테이지에 대한 상세 회로도.

도 11은 도 10에 도시된 스테이지에서 t4기간의 전류 패스 경로를 구체적으로 도시한 도면.

도 12는 도 11에 도시된 스테이지 각 노드의 파형을 구체적으로 도시한 파형도.

#### < 도면의 주요부분에 대한 설명 >

ST1 내지 STn : 스테이지

32, 42 : 제1 제어부

34, 44 : 제2 제어부

36, 46 : 출력 버퍼부

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 표시 장치용 구동 회로에 관한 것으로, 특히 액정 표시 장치의 액정 매트릭스를 구동하기 위한 쉬프트 레지스터에 관한 것이다.

<17> 텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널과 이 액정 패널을 구동하기 위한 구동 회로를 구비한다.

<18> 액정 패널에는 게이트 라인들과 데이터 라인들이 교차하게 배열되고 그 게이트 라인들과 데이터 라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정 패널에는 액정셀들 각각에 전계를 인가하기 위한 화소 전극들과 공통 전극



이 마련된다. 화소 전극들 각각은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터 라인들 중 어느 하나에 접속된다. 박막 트랜지스터의 게이트 단자는 게이트 라인들 중 어느 하나에 접속된다.

<19> 구동 회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버를 구비한다. 게이트 드라이버는 스캔 신호를 게이트 라인들에 순차적으로 공급하여 액정 패널 상의 액정셀들을 순차적으로 구동한다. 데이터 드라이버는 게이트 라인들 중 어느 하나에 스캔 신호가 공급될 때마다 데이터 라인들 각각에 비디오 신호를 공급한다. 이에 따라, 액정 표시 장치는 액정셀 별로 비디오 신호에 따라 화소 전극과 공통 전극 사이에 인가되는 전계에 의해 광투과율을 조절하여 화상을 표시한다.

<20> 이러한 구동 회로에서 게이트 드라이버는 쉬프트 레지스터를 이용하여 게이트 라인들을 순차적으로 구동시키기 위한 스캔 신호를 발생한다. 그리고, 데이터 드라이버는 쉬프트 레지스터를 이용하여 외부로부터 입력되는 비디오 신호를 일정 단위씩 순차적으로 샘플링할 수 있도록 하는 샘플링 신호를 발생한다. 이렇게 쉬프트 레지스터를 포함하는 게이트 드라이버 및 데이터 드라이버는 폴리 실리콘을 이용하는 경우 액정 매트릭스와 함께 액정 패널에 내장된다.

<21> 도 1은 일반적인 쉬프트 레지스터를 도시한 것이고, 도 2는 도 1에 도시된 쉬프트 레지스터의 입출력 파형을 도시한 것이다.

<22> 도 1에 도시된 쉬프트 레지스터는 스타트 펄스(SP) 입력 라인에 종속적으로

접속되고 4개의 클럭 신호(C1 내지 C4) 중 3개의 클럭 신호를 공급받는 n개의 스테이지들(ST1 내지 STn)을 구비한다. 도 2를 참조하면, 제1 내지 제4 클럭 신호(C1 내지 C4)는 각각의 공급 라인을 통하여 C4, C1, C2, C3의 순서로 한 클럭씩 위상 지연된 형태로 공급된다. 그리고, 한 프레임 또는 한 수평 주기 단위로 공급되는 스타트 펄스(SP)는 제4 클럭 신호(C4)와 동기하도록 공급된다.

<23> 제1 스테이지(ST1)는 스타트 펄스(SP)와 4개의 클럭 신호(C1 내지 C3) 중 3개의 클럭 신호를 이용하여 도 2에 도시된 바와 같이 제1 출력 신호(S01)를 출력한다. 제2 내지 제n 스테이지들(ST2 내지 STn)은 전단의 출력 신호(S01 내지 S0n-1)와 4개의 클럭 신호(C1 내지 C3) 중 3개의 클럭 신호를 이용하여 도 2에 도시된 바와 같이 제2 내지 제n 출력 신호(S02 내지 S0n)를 출력한다. 다시 말하여, 쉬프트 레지스터를 구성하는 제1 내지 제n 스테이지(ST1 내지 STn)는 도 2와 같이 순차적으로 위상이 쉬프트된 형태를 갖는 제1 내지 제n 출력 신호(S01 내지 S0n)를 출력한다. 이러한 제1 내지 제n 출력 신호(S01 내지 S0n)는 액정 패널의 게이트 라인들을 순차적으로 구동하기 위한 스캔 신호로 공급되거나, 데이터 드라이버내에서 비디오 신호를 순차적으로 샘플링하기 위한 샘플링 신호로 공급된다.

<24> 도 3은 도 1에 도시된 제1 스테이지(ST1)의 상세 회로 구성을 도시한 것이다.

<25> 도 3에 도시된 제1 스테이지(ST1)는 스타트 펄스(SP)와 제4 클럭 신호(C4)에 따라 Q노드를 제어하는 제1 제어부(32)와, 제3 클럭 신호(C3) 및 스타트 펄스(SP)에 따라 QB노드를 제어하는 제2 제어부(34)와, Q노드 및 QB노드의 전압에 따라 제1 클럭신호(C1) 및 제1 공급 전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 출력 버퍼부(36)를 구비한다.

- <26> 제1 제어부(32)는 제1 제어부(32)는 스타트 펄스(SP) 입력 라인에 다이오드형으로 접속된 제1 PMOS 트랜지스터(T1)와, 제1 PMOS 트랜지스터(T1)와 제4 클럭 신호(C4) 입력 라인 및 Q노드 사이에 접속된 제2 PMOS 트랜지스터(T2)를 구비한다. 그리고, 제1 제어부(32)는 Q노드 및 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속되어 제7 PMOS 트랜지스터(T7)와 듀얼 동작으로 Q노드를 제어하는 제3 PMOS 트랜지스터(T3)를 더 구비한다.
- <27> 제2 제어부(34)는 제2 공급 전압(VDD) 입력 라인과 제3 클럭 신호(C3) 입력 라인 및 QB노드 사이에 접속된 제4 PMOS 트랜지스터(T4)와, 제4 PMOS 트랜지스터(T4)와 스타트 펄스(SP) 입력 라인 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제5 PMOS 트랜지스터(T5)를 구비한다.
- <28> 출력 버퍼부(36)는 Q노드의 전압에 따라 제1 클럭 신호(C1)를 선택하여 출력 라인으로 공급하는 제6 PMOS 트랜지스터(T6)와, QB노드의 전압에 따라 제1 공급 전압(VSS)을 선택하여 출력 라인으로 공급하는 제7 PMOS 트랜지스터(T7)를 구비한다.
- <29> 그리고, 제1 스테이지(ST1)는 제6 PMOS 트랜지스터(T6)의 게이트 단자와 소스 단자 사이, 즉 Q노드와 출력 라인 사이에 접속된 제1 캐패시터(CB)를 더 구비한다.
- <30> 이러한 제1 스테이지(ST1)에는 도 2에 도시된 제1 내지 제4 클럭 신호(C1 내지 C4) 중 C1, C3, C4가 공급된다. 도 2에 있어서, 스타트 펄스(SP)를 포함하여 제1 내지 제4 클럭 신호(C1 내지 C4)는 10V 이상, 예를 들면 약 25V의 스윙 전압을 가지는 부극성 타이밍으로 공급된다. 그리고, 설명상의 편의를 위하여 17V의 전위를 로우 상태로, -8V의 전위를 하이 상태로 가정하여 설명하기로 한다. 또한, 제1 스테이지(ST1)에 공급되는 제1 공급 전압(VSS)으로 공급되는 약 17V를 로우 상태로, 제2 공급 전압(VDD)으로 공급

되는 약 -8V를 하이 상태로 가정하기로 한다. 이러한 구동 파형을 참조하여 제1 스테이지(ST1)의 구체적인 동작을 살펴보면 다음과 같다.

- <31> t1 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 동시에 하이 상태가 되면 제1 및 제2 PMOS 트랜지스터(T1, T2)가 턴-온되어 Q노드는 제1 하이 상태가 된다. 이에 따라, Q노드에 게이트 단자가 접속된 제6 PMOS 트랜지스터(T6)는 서서히 턴-온된다. 이때, 하이 상태의 스타트 펄스(SP)에 의해 제5 PMOS 트랜지스터(T5)가 턴-온되어 QB노드는 제1 공급 전압(VSS)에 의해 로우 상태되므로 그 QB노드에 게이트 단자가 접속된 제3 및 제7 PMOS 트랜지스터(T3, T7)는 턴-오프된다. 이 결과, 턴-온된 제6 PMOS 트랜지스터(T6)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)이 제1 스테이지(ST1)의 출력 신호(S01)로 출력된다.
- <32> t2 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 로우 상태가 되고 제1 클럭 신호(C1)가 하이 상태가 됨으로써 제1 및 제2 PMOS 트랜지스터(T1, T2)는 턴-오프되고 제6 PMOS 트랜지스터(T6)는 확실한 턴-온 상태가 된다. 이는 플로팅 상태가 된 Q노드가 제6 PMOS 트랜지스터(T6)의 게이트와 소오스 사이에 형성된 내부 캐패시터(Cgs)와 제1 캐패시터(CB)의 영향으로 제1 클럭 신호(C1)의 하이 상태 전압에 따라 부트스트래핑(Bootstrapping)되어 상기 제1 하이 상태 보다 높은 제2 하이 상태가 되기 때문이다. 이렇게 제6 PMOS 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 상태의 전압(약 -8V)이 스테이지(ST1)의 출력 라인에 빠르게 공급된다. 이 결과, 제1 스테이지(ST1)는 하이 상태의 출력 신호(S01)를 출력하게 된다.

- <33> t3 기간에서 제1 클럭 신호(C1)가 로우 상태가 되고 제2 클럭 신호(C2)가 하이 상태가 됨으로써 플로팅 상태의 Q노드의 전압은 다시 제1 하이 상태로 천이되고 제6 PMOS

트랜지스터(T6)는 턴-온 상태를 유지한다. 이에 따라, 턴-온된 제2 PMOS 트랜지스터 (T6)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)이 제1 스테이지(ST1)는 출력 신호(S01)로 출력된다.

<34> t4 기간에서 제3 클럭 신호(C3)가 하이 상태가 되어 제4 PMOS 트랜지스터(T4)가 턴-온됨으로써 QL노드엔 제2 공급 전압(VDD)인 하이 상태의 전압(약 -8V)이 공급된다. 이에 따라, 제3 및 제7 PMOS 트랜지스터(T3, T7)가 동시에 턴-온된다. 턴-온된 제3 PMOS 트랜지스터(T3)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 Q노드에 공급되므로 제6 PMOS 트랜지스터(T6)는 턴-오프된다. 그리고, 턴-온된 제7 PMOS 트랜지스터(T7)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 제1 스테이지(ST1)의 출력 신호(S01)로 출력된다.

<35> t5 기간에서 제4 클럭 신호(C4)만 하이 상태가 됨으로써 제2 트랜지스터(T2)가 턴-온되고 제1, 제4 및 제5 PMOS 트랜지스터(T1, T4, T5)는 턴-오프 상태를 유지하므로 QB 노드는 이전의 하이 상태를 유지한다. 이에 따라, 전술한 t4 기간과 같이 제3 및 제7 PMOS 트랜지스터(T3, T7)는 턴-온 상태를 유지하므로 제1 스테이지(ST1)의 출력 신호(S01)는 로우 상태를 유지하게 된다:

<36> 이와 같이, 종래의 제1 스테이지(ST1)는 스타트 펄스(SP)와 3개의 클럭 신호를 이용하여 10V 이상의 스위 전압을 갖는 출력 신호(S01)를 출력하게 된다. 그런데 제1 스테이지(ST1)를 구성하는 제1 내지 제7 PMOS 트랜지스터(T1 내지 T7)의 문턱 전압( $V_{th}$ )이 작을 경우 누설 전류가 증가하게 되어 출력 신호(S01)가 왜곡되는 문제가 발생한다.

<37> 구체적으로, 제1 내지 제7 PMOS 트랜지스터(T1 내지 T7)의 문턱 전압( $V_{th}$ )이 작을 경우 Q노드가 제2 하이 상태가 되는 t2기간에서 도 4와 같이 제4 PMOS 트랜지스터(T4)에

의한 제1 누설 전류 패스(LCP1)와, 제3 PMOS 트랜지스터(T3)에 의한 제2 누설 전류 패스(LCP2)를 통해 누설 전류가 증가하게 된다. 상기 Q노드가 제2 하이 상태인 t2 기간에서 QB노드는 로우 상태를 되어 Q노드의 전압 변동을 막아 주어야 한다. 그러나, QB 노드의 전압이 제4 PMOS 트랜지스터(T4)의 제1 누설 전류 패스(LCP1)로 인하여 약 17V의 로우 상태에서 약 -8V의 하이 상태 쪽으로 변동하게 된다. 이로 인하여, 제3 PMOS 트랜지스터(T3)가 약하게(Slightly) 턴-온되어 제2 누설 전류 패스(LCP2)를 통한 누설 전류가 증가하게 된다. 이에 따라, 그 제2 누설 전류 패스(LCP2)를 통해 Q노드 전압이 제2 하이 상태에서 로우 상태 쪽으로 변동함으로써 제6 PMOS 트랜지스터(T6)의 드레인 전극과 소스 전극 사이의 도전 경로가 제한을 받게 된다. 이 결과, 제6 PMOS 트랜지스터(T6)를 경유하는 하이 상태의 출력 신호(S01)가 도 5에 도시된 바와 같이 약 -8V의 하이 상태에서 약 -7.5V 이상의 로우 상태로 왜곡되는 문제가 발생하게 된다.

<38> 이러한 제1 스테이지(ST1)에서의 출력 신호(S01)는 다음 스테이지(ST2)에 스타트 펄스로 입력되어 영향을 주게 된다. 이에 따라, 스테이지를 경과할 수록 상기 누설 전류 증가로 인한 출력 신호의 왜곡 현상이 더욱 악화됨으로써 쉬프트 레지스터의 신뢰성을 저하시키게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<39> 따라서, 본 발명의 목적은 누설 전류로 인한 출력 신호의 왜곡을 방지할 수 있는 쉬프트 레지스터를 제공하는 것이다.

## 【발명의 구성 및 작용】

<40>       상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 쉬프트 레지스터는 제1 및 제2 공급 전압과 위상 지연된 제어 신호들에 의해 입력 신호를 쉬프트시켜 각각의 출력 신호와 다음단의 입력 신호로 공급하는 다수개의 스테이지들로 이루어진 쉬프트 레지스터에 있어서, 상기 스테이지들 각각은 입력 신호 공급 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제1 내지 제3 트랜지스터를 이용하여 그들 사이의 제1 노드에 상기 입력 신호 및 제1 공급 전압을 선택적으로 공급하는 제1 제어부와; 상기 제2 공급 전압 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제4 및 제5 트랜지스터를 이용하여 그들 사이의 제2 노드에 상기 제2 및 제1 공급 전압을 선택적으로 공급하는 제2 제어부와; 상기 제어 신호들 중 특정 제어 신호의 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제6 및 제7 트랜지스터를 이용하여 그들 사이의 상기 스테이지의 출력 라인에 상기 특정 제어 신호와 상기 제1 공급 전압을 상기 출력 신호로 선택적으로 공급하는 출력 버퍼부를 구비하고; 상기 제2 제어부의 제5 트랜지스터는 상기 제4 트랜지스터가 턴-오프되면 상기 제2 노드가 상기 제1 공급 전압을 유지하도록 턴-온되는 것을 특징으로 한다.

<41>       상기 제1 및 제2 트랜지스터는 상기 입력 신호 공급 라인과 상기 제1 노드 사이의 도전 경로와, 그 도전 경로를 상기 입력 신호와 제1 제어 신호 각각에 따라 제어하는 제어 전극을 각각 갖고; 상기 제3 트랜지스터는 제1 노드와 제1 공급 전압 입력 사이의 도전 경로와, 그 도전 경로를 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 한다.

- <42>      상기 제4 트랜지스터는 상기 제2 공급 전압 입력 라인과 상기 제2 노드 사이의 도전 경로와, 그 도전 경로를 제2 제어 신호에 따라 제어하는 제어 전극을 갖고; 상기 제5 트랜지스터는 상기 제2 노드와 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제1 및 제2 트랜지스터 사이의 제3 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 한다.
- <43>      상기 제4 트랜지스터가 턴-온되면 상기 제5 트랜지스터를 턴-오프시키기 위한 제8 트랜지스터를 추가로 구비하는 것을 특징으로 한다.
- <44>      상기 제8 트랜지스터는 상기 제5 트랜지스터의 제어 전극과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 제어 신호에 따라 제어하는 제어 전극을 갖는 것을 특징으로 한다.
- <45>      상기 제6 트랜지스터는 제3 제어 신호 입력 라인과 상기 스테이지의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제1 노드의 전압에 따라 제어하는 제어 전극을 갖고; 제7 트랜지스터는 상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 한다.
- <46>      상기 제6 트랜지스터는 그의 게이트 전극의 부트스트래핑을 위하여 그 게이트 전극과 상기 스테이지의 출력 라인 사이에 접속된 캐패시터를 추가로 구비하는 특징으로 한다.
- <47>      상기 제3 트랜지스터는 상기 제2 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 한다.



- <48>       상기 제5 트랜지스터는 상기 제3 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 한다.
- <49>       상기 스테이지는 동일 채널 타입의 트랜지스터로 구성된 것을 특징으로 한다.
- <50>       상기 스테이지는 PMOS 트랜지스터로 구성된 것을 특징으로 한다.
- <51>       상기 제1 공급 전압 보다 상기 제2 공급 전압이 큰 것을 특징으로 한다.
- <52>       상기 제1 공급 전압은 부극성 전압인 것을 특징으로 한다.
- <53>       상기 제1 내지 제3 제어 신호로는 서로 위상이 다르면서 동일한 주기로 특정 전압 상태를 갖는 제1 내지 제4 클럭 신호들 중 3개의 클럭 신호가 공급되는 것을 특징으로 한다.
- <54>       상기 제3 제어 신호는 상기 제1 제어 신호보다 한 클럭만큼 위상 지연된 형태를 갖고, 상기 제2 제어 신호는 상기 제3 제어 신호보다 두 클럭만큼 위상 지연된 형태를 갖는 것을 특징으로 한다.
- <55>       상기 입력 신호는 상기 제1 제어 신호와 동위상을 갖는 부분을 포함하는 것을 특징으로 한다.
- <56>       이러한 쉬프트 레지스터는 표시 장치의 스캔 라인들을 구동하는 스캔 드라이버와 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버 중 적어도 하나의 드라이버에 적용되는 것을 특징으로 한다.
- <57>       상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

- <58> 도 6은 본 발명의 제1 실시 예에 따른 쉬프트 레지스터를 구성하는 한 스테이지의 상세 회로를 도시한 것이고, 도 7은 도 6에 도시된 스테이지의 입출력 파형을 도시한 것이다.
- <59> 도 6에 도시된 스테이지(ST)는 스타트 펄스(SP)와 제4 클럭 신호(C4)에 따라 Q노드를 제어하는 제1 제어부(42)와, 제3 클럭 신호(C3) 및 스타트 펄스(SP)에 따라 QB노드를 제어하는 제2 제어부(44)와, Q노드 및 QB노드의 전압에 따라 제1 클럭신호(C1) 및 제1 공급 전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 출력 버퍼부(46)를 구비한다.
- <60> 제1 제어부(42)는 스타트 펄스(SP) 입력 라인과 P노드 사이에 다이오드형으로 접속된 제1 PMOS 트랜지스터(T1)와, P노드와 제4 클럭 신호(C4) 입력 라인 및 Q노드 사이에 접속된 제2 PMOS 트랜지스터(T2)를 구비한다. 그리고, 제1 제어부(42)는 Q노드 및 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속되어 제7 PMOS 트랜지스터(T7)와 듀얼 동작으로 Q노드를 제어하는 제3A 및 제3B PMOS 트랜지스터(T3A, T3B)를 더 구비한다. 여기서, 제3A 및 제3B PMOS 트랜지스터(T3A, T3B)는 듀얼 게이트 구조를 가짐으로써 문턱 전압( $V_{th}$ )이 높아지게 하여 누설 전류를 최소화한다.
- <61> 제2 제어부(44)는 제2 공급 전압(VDD) 입력 라인과 제3 클럭 신호(C3) 입력 라인 및 QB노드 사이에 접속된 제4 PMOS 트랜지스터(T4)와, 제4 PMOS 트랜지스터(T14)와 P노드 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)를 구비한다. 여기서, 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)는 듀얼 게이트 구조를 가짐으로써 문턱 전압( $V_{th}$ )이 높아지게 하여 누설 전류를 최소화한다.

- <62> 출력 버퍼부(36)는 Q노드의 전압에 따라 제1 클럭 신호(C1)를 선택하여 출력 라인으로 공급하는 제6 PMOS 트랜지스터(T6)와, QB노드의 전압에 따라 제1 공급 전압(VSS)을 선택하여 출력 라인으로 공급하는 제7 PMOS 트랜지스터(T7)를 구비한다.
- <63> 그리고, 스테이지(ST)는 제6 PMOS 트랜지스터(T6)의 게이트 단자와 소스 단자 사이, 즉 Q노드와 출력 라인 사이에 접속된 제1 캐패시터(CB)와, Q노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제2 캐패시터(CQ)와, 제7 PMOS 트랜지스터(T7)의 게이트 단자와 소스 단자 사이, 즉 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제3 캐패시터(CQB)를 더 구비한다. 여기서, 제1 캐패시터(CB)는 특정 기간에서 Q노드의 전압이 부트스트래핑(Bootstrapping)되어 상승되게 하고, 제2 및 제3 캐패시터(CQ, CQB) 각각은 Q노드 및 QB노드의 잡음 성분을 바이패스시키게 된다.
- <64> 이러한 스테이지를 구성하는 제1 내지 제7 트랜지스터(T1 내지 T7)로는 PMOS 또는 NMOS 트랜지스터를 이용한다. 이하에서는 설명의 편의상 PMOS 트랜지스터가 적용된 경우만을 예로 들어 설명하기로 한다.
- <65> 그리고, 도 6에 도시된 스테이지는 도 7에 도시된 바와 같이 C4, C1, C2, C3 순으로 위상 지연된 형태를 갖는 제1 내지 제4 클럭 신호(C1 내지 C4) 중 C1, C3, C4를 제어 신호로 입력받는다. 도 7에 있어서, 스타트 펄스(SP)를 포함하여 제1 내지 제4 클럭 신호(C1 내지 C4)는 10V 이상, 예를 들면 약 25V의 스윙 전압을 가지는 부극성 타입으로 공급된다. 그리고, 설명상의 편의를 위하여 17V의 전위를 로우 상태로, -8V의 전위를 하이 상태로 가정하여 설명하기로 한다. 또한, 스테이지에 공급되는 제1 공급 전압(VSS)으로 공급되는 약 17V를 로우 상태로, 제2 공급 전압(VDD)으로 공급되는 약 -8V를

하이 상태로 가정하기로 한다. 이러한 구동 파형을 참조하여 스테이지의 구체적인 동작을 살펴보면 다음과 같다.

- <66> t1 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 동시에 하이 상태가 되면 제1 및 제2 PMOS 트랜지스터(T1, T2)가 턴-온되어 Q노드는 제1 하이 상태(H1)가 된다. 이에 따라, Q노드에 게이트 단자가 접속된 제6 PMOS 트랜지스터(T6)는 서서히 턴-온된다. 이때, 턴-온된 제1 및 제2 PMOS 트랜지스터(T1, T2) 사이의 P노드가 하이 상태이므로 제5 PMOS 트랜지스터(T5)가 턴-온되고, QB노드는 제1 공급 전압(VSS)에 의해 로우 상태가 되므로 그 QB노드에 게이트 단자가 접속된 제3A, 제3B 및 제7 PMOS 트랜지스터(T3A, T3B, T7)는 턴-오프된다. 이 결과, 턴-온된 제6 PMOS 트랜지스터(T6)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)이 제1 스테이지(ST1)의 출력 신호(S01)로 출력된다.
- <67> t2 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 로우 상태가 되고 제1 클럭 신호(C1)가 하이 상태가 됨으로써 제1 및 제2 PMOS 트랜지스터(T1, T2)는 턴-오프되고 제6 PMOS 트랜지스터(T6)는 확실한 턴-온 상태가 된다. 이는 플로팅 상태가 된 Q노드가 제6 PMOS 트랜지스터(T6)의 게이트와 소오스 사이에 형성된 내부 캐패시터(Cgs)와 제1 캐패시터(CB)의 영향으로 제1 클럭 신호(C1)의 하이 상태 전압에 따라 부트스트래핑(Bootstrapping)되어 상기 제1 하이 상태(H1) 보다 높은 제2 하이 상태(H2)가 되기 때문이다. 이렇게 제6 PMOS 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 상태의 전압(약 -8V)이 스테이지(ST1)의 출력 라인에 빠르게 공급된다. 이 결과, 제1 스테이지(ST1)는 하이 상태의 출력 신호(S01)를 출력하게 된다. 이 경우, 턴-오프된 제1 및 제2 PMOS 트랜지스터(T1, T2)에 의해 P노드는 하이 상태를 유지하는 플로팅 상태가 된다. 이에 따라, P노드에 게이트 단자가 접속된 제5A 및 제5B PMOS 트랜지스터

(T5A, T5B)가 턴-온 상태를 유지하게 되므로 제4 PMOS 트랜지스터(T4)의 누설 전류가 발생하더라도 QB노드는 제1 공급 전압(VSS)에 의해 로우 상태를 유지하게 된다. 이 결과, 제4 PMOS 트랜지스터(T4)의 누설 전류로 인하여 스테이지 출력 신호(S0)의 하이 상태가 왜곡되는 것을 방지할 수 있게 된다.

<68> t3 기간에서 제1 클럭 신호(C1)가 로우 상태가 되고 제2 클럭 신호(C2)가 하이 상태가 됨으로써 플로팅 상태의 Q노드의 전압은 다시 제1 하이 상태로 천이되고 제6 PMOS 트랜지스터(T6)는 턴-온 상태를 유지한다. 이에 따라, 턴-온된 제2 PMOS 트랜지스터(T6)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)이 제1 스테이지(ST1)는 출력 신호(S01)로 출력된다. 그리고, 하이 상태로 플로팅된 P노드에 의해 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)가 턴-온 상태를 유지하므로 QB노드는 제1 공급 전압(VSS)에 의해 로우 상태를 유지한다.

<69> t4 기간에서 제3 클럭 신호(C3)가 하이 상태가 되어 제4 PMOS 트랜지스터(T4)가 턴-온됨으로써 QB노드엔 제2 공급 전압(VDD)인 하이 상태의 전압(약 -8V)이 공급된다. 이에 따라, 제3 및 제7 PMOS 트랜지스터(T3, T7)가 동시에 턴-온된다. 턴-온된 제3 PMOS 트랜지스터(T3)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 Q노드에 공급되므로 제6 PMOS 트랜지스터(T6)는 턴-오프된다. 그리고, 턴-온된 제7 PMOS 트랜지스터(T7)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 제1 스테이지(ST1)의 출력 신호(S01)로 출력된다.

<70> t5 기간에서 제4 클럭 신호(C4)만 하이 상태가 됨으로써 제2 트랜지스터(T2)가 턴-온되고 제1, 제4, 제5A 및 제5B PMOS 트랜지스터(T1, T4, T5A, T5B)는 턴-오프 상태를 유지하므로 QB노드는 플로팅되어 이전의 하이 상태를 유지한다. 이에 따라, 전술한 t4

기간과 같이 제3 및 제7 PMOS 트랜지스터(T3, T7)는 턴-온 상태를 유지하므로 제1 스테이지(ST1)의 출력 신호(S01)는 로우 상태를 유지하게 된다.

<71> 이와 같이, 본 발명의 제1 실시 예에 따른 쉬프트 레지스터를 구성하는 스테이지는 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)의 게이트 단자를 제1 및 제2 PMOS 트랜지스터(T1, T2) 사이의 P노드와 접속시킴으로써 QB노드의 전압이 제4 PMOS 트랜지스터(T4)의 누설 전류로 인하여 왜곡되는 방지하게 된다. 이에 따라, QB노드 전압의 왜곡으로 Q노드 전압이 변동하여 제6 PMOS 트랜지스터(T6)를 통해 스테이지의 출력 라인에 공급되는 하이 상태의 출력 신호(S0)가 왜곡되는 것을 방지할 수 있게 된다.

<72> 한편, 도 6에 도시된 쉬프트 레지스터의 스테이지에서는 제3 클럭 신호(C3)가 하이 상태가 되는 t4기간에서 턴-온된 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)에 의해 스테이지 출력 신호(S0)의 로우 상태가 약간 변동하는 경우가 발생하게 된다.

<73> 구체적으로, 제3 클럭 신호(C3)가 하이 상태가 되는 t4 기간에서는 도 8과 같이 제4 PMOS 트랜지스터(T4)가 턴-온되어 QB노드 하이 상태의 제2 공급 전압(VDD)이 공급됨으로써 제3A, 제3B 및 제7 PMOS 트랜지스터(T3A, T3B, T7)가 턴-온된다. 이 경우, 도 9에 도시된 바와 같이 이전 기간(t1 내지 t3)에서부터 하이 상태를 유지하는 P노드에 의해 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)도 턴-온 상태를 유지한다. 이에 따라, 도 8과 같이 턴-온된 제4, 제5A, 제5B, 및 제7 PMOS 트랜지스터(T4, T5A, T5B, T7)를 경유하는 전류 패스(CP)를 통해 하이 상태의 제2 공급 전압(VDD)이 스테이지의 출력 라인으로 유입된다. 이 결과, 도 9에 도시된 A부분과 같이 t4 기간에서 로우 상태를 유지해야 하는 스테이지의 출력 신호(S0)가 약간 하이 상태 쪽으로 변동하게 되는 단점이 있다.

- <74> 이렇게 스테이지 출력 신호(S0)의 로우 상태가 변동하는 것을 방지하기 위하여, 본 발명의 제2 실시 예에 따른 쉬프트 레지스터는 도 10에 도시된 바와 같이 제8 PMOS 트랜지스터(T8)를 추가로 구비한다.
- <75> 도 10을 참조하면, 본 발명의 제2 실시 예에 따른 쉬프트 레지스터를 구성하는 스테이지는 도 6에 도시된 스테이지와 대비하여 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)의 게이트 단자와 제3 클럭 신호(C3) 입력 라인 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제8 PMOS 트랜지스터(T8)를 추가로 구비한다. 이하, 도 6과 중복되는 구성 요소들과 그의 동작에 대한 설명은 생략하기로 한다.
- <76> 도 10에서 제8 PMOS 트랜지스터(T8)는 제3 클럭 신호(C3)가 하이 상태가 되는 t4기간에서 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)가 강제적으로 턴-오프되게 한다. 이는 하이 상태의 제3 클럭 신호(C3)에 의해 제8 PMOS 트랜지스터(T8)가 턴-온되어 로우 상태의 제1 공급 전압(VSS)이 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)의 게이트 단자로 공급되기 때문이다.
- <77> 구체적으로, 제3 클럭 신호(C3)가 하이 상태가 되는 t4 기간에서는 도 11과 같이 제4 PMOS 트랜지스터(T4)가 턴-온되어 QB노드 하이 상태의 제2 공급 전압(VDD)이 공급됨으로써 제3A, 제3B 및 제7 PMOS 트랜지스터(T3A, T3B, T7)가 턴-온된다. 이 경우, 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)는 하이 상태의 제3 클럭 신호(C3)에 의해 턴-온된 제8 PMOS 트랜지스터(T8)를 통한 로우 상태의 제1 공급 전압(VSS)에 의해 턴-오프된다. 이에 따라 도 8과 같이 제4, 제5A, 제5B, 및 제7 PMOS 트랜지스터(T4, T5A, T5B, T7)를 경유하는 전류 패스(CP)가 도 11과 같이 턴-오프된 제5A 및 제5B PMOS 트랜지스터(T5A, T5B)에 의해 오픈됨으로써 하이 상태의 제2 공급 전압(VDD)이 그 전류 패스(CP)를 통해

스테이지의 출력 라인으로 유입되는 것을 방지할 수 있게 된다. 이 결과, 도 12에 도시된 B부분과 같이 제3 클럭 신호(C3)가 하이 상태가 되는 t4 기간에서도 스테이지의 출력 신호(S0)는 정상적인 로우 상태를 유지할 수 있게 된다.

<78> 이러한 본 발명에 따른 쉬프트 레지스터는 표시 장치의 스캔 라인들을 구동하는 스캔 드라이버와, 데이터 라인들을 구동하는 데이터 드라이버에 이용된다.

### 【발명의 효과】

<79> 상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터는 제5 트랜지스터(T5A, T5B)의 게이트 단자가 제1 및 제2 트랜지스터(T1, T2) 사이의 노드(P)와 접속되게 함으로써 누설 전류로 인하여 출력 신호의 하이 상태가 왜곡되는 것을 방지할 수 있게 된다.

<80> 또한, 본 발명에 따른 쉬프트 레지스터는 제4 트랜지스터(T4)가 턴-온되는 기간에서는 제5 트랜지스터(T5A, T5B)를 제8 트랜지스터(T8)를 이용하여 강제로 턴-오프시킴으로써 그 제5 트랜지스터(T5A, T5B)로 인하여 출력 신호의 로우 상태가 왜곡되는 것을 방지할 수 있게 된다.

<81> 이렇게, 본 발명에 따른 쉬프트 레지스터는 출력 신호를 왜곡을 방지함으로써 신뢰성을 확보할 수 있게 된다.

<82> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.



## 【특허청구범위】

## 【청구항 1】

제1 및 제2 공급 전압과 위상 지연된 제어 신호들에 의해 입력 신호를 쉬프트시켜 각각의 출력 신호와 다음단의 입력 신호로 공급하는 다수개의 스테이지들로 이루어진 쉬프트 레지스터에 있어서, 상기 스테이지들 각각은

입력 신호 공급 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제1 내지 제3 트랜지스터를 이용하여 그들 사이의 제1 노드에 상기 입력 신호 및 제1 공급 전압을 선택적으로 공급하는 제1 제어부와;

상기 제2 공급 전압 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제4 및 제5 트랜지스터를 이용하여 그들 사이의 제2 노드에 상기 제2 및 제1 공급 전압을 선택적으로 공급하는 제2 제어부와;

상기 제어 신호들 중 특정 제어 신호의 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제6 및 제7 트랜지스터를 이용하여 그들 사이의 상기 스테이지의 출력 라인에 상기 특정 제어 신호와 상기 제1 공급 전압을 상기 출력 신호로 선택적으로 공급하는 출력 버퍼부를 구비하고;

상기 제2 제어부의 제5 트랜지스터는 상기 제4 트랜지스터가 턴-오프되면 상기 제2 노드가 상기 제1 공급 전압을 유지하도록 턴-온되는 것을 특징으로 하는 쉬프트 레지스터.

## 【청구항 2】

제 1 항에 있어서,

상기 제1 및 제2 트랜지스터는 상기 입력 신호 공급 라인과 상기 제1 노드 사이의 도전 경로와, 그 도전 경로를 상기 입력 신호와 제1 제어 신호 각각에 따라 제어하는 제어 전극을 각각 갖고,

상기 제3 트랜지스터는 제1 노드와 제1 공급 전압 입력 사이의 도전 경로와, 그 도전 경로를 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 3】**

제 2 항에 있어서,

상기 제4 트랜지스터는 상기 제2 공급 전압 입력 라인과 상기 제2 노드 사이의 도전 경로와, 그 도전 경로를 제2 제어 신호에 따라 제어하는 제어 전극을 갖고,

상기 제5 트랜지스터는 상기 제2 노드와 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제1 및 제2 트랜지스터 사이의 제3 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 4】**

제 3 항에 있어서,

상기 제4 트랜지스터가 턴-온되면 상기 제5 트랜지스터를 턴-오프시키기 위한 제8 트랜지스터를 추가로 구비하는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 5】**

제 4 항에 있어서,

상기 제8 트랜지스터는 상기 제5 트랜지스터의 제어 전극과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 제어 신호에 따라 제어하는 제어 전극을 갖는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 6】**

제 3 항에 있어서,

상기 제6 트랜지스터는 제3 제어 신호 입력 라인과 상기 스테이지의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제1 노드의 전압에 따라 제어하는 제어 전극을 갖고,

제7 트랜지스터는 상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 7】**

제 6 항에 있어서,

상기 제6 트랜지스터는 그의 게이트 전극의 부트스트래핑을 위하여 그 게이트 전극과 상기 스테이지의 출력 라인 사이에 접속된 캐패시터를 추가로 구비하는 특징으로 하는 쉬프트 레지스터.

**【청구항 8】**

제 2 항에 있어서,

상기 제3 트랜지스터는 상기 제2 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 9】**

제 3 항에 있어서,

상기 제5 트랜지스터는 상기 제3 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 10】**

제 1 항에 있어서,

상기 스테이지는 동일 채널 타입의 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 11】**

제 1 항에 있어서,

상기 스테이지는 PMOS 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 12】**

제 1 항에 있어서,

상기 제1 공급 전압 보다 상기 제2 공급 전압이 큰 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 13】**

제 12 항에 있어서,

상기 제1 공급 전압은 부극성 전압인 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 14】**

제 6 항에 있어서,

상기 제1 내지 제3 제어 신호로는 서로 위상이 다르면서 동일한 주기로 특정 전압 상태를 갖는 제1 내지 제4 클럭 신호들 중 3개의 클럭 신호가 공급되는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 15】**

제 14 항에 있어서,

상기 제3 제어 신호는 상기 제1 제어 신호보다 한 클럭만큼 위상 지연된 형태를 갖고, 상기 제2 제어 신호는 상기 제3 제어 신호보다 두 클럭만큼 위상 지연된 형태를 갖는 것을 특징으로 하는 쉬프트 레지스터.

**【청구항 16】**

제 14 항에 있어서,

상기 입력 신호는 상기 제1 제어 신호와 동위상을 갖는 부분을 포함하는 것을 특징으로 하는 쉬프트 레지스터.

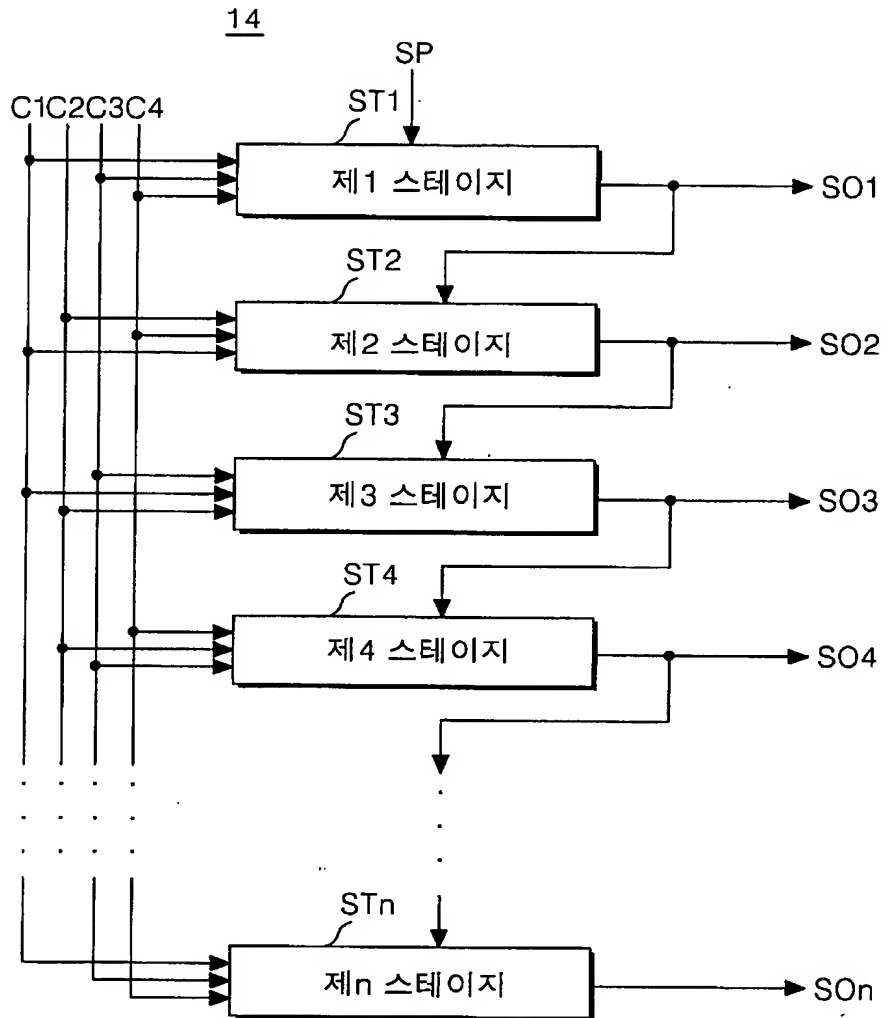
**【청구항 17】**

제 1 항 내지 제16 항 중 어느 한 항에 있어서,

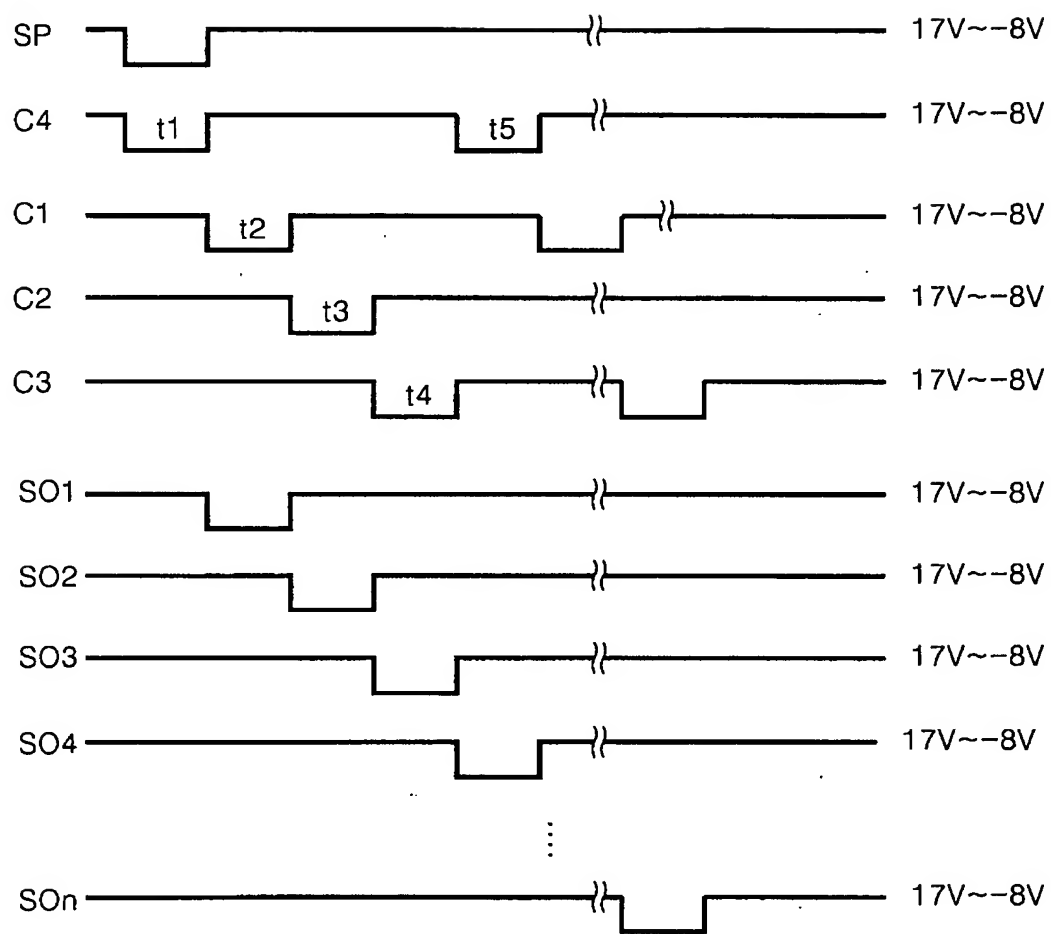
상기 쉬프트 레지스터는 표시 장치의 스캔 라인들을 구동하는 스캔 드라이버와 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버 중 적어도 하나의 드라이버에 적용되는 것을 특징으로 하는 쉬프트 레지스터.

## 【도면】

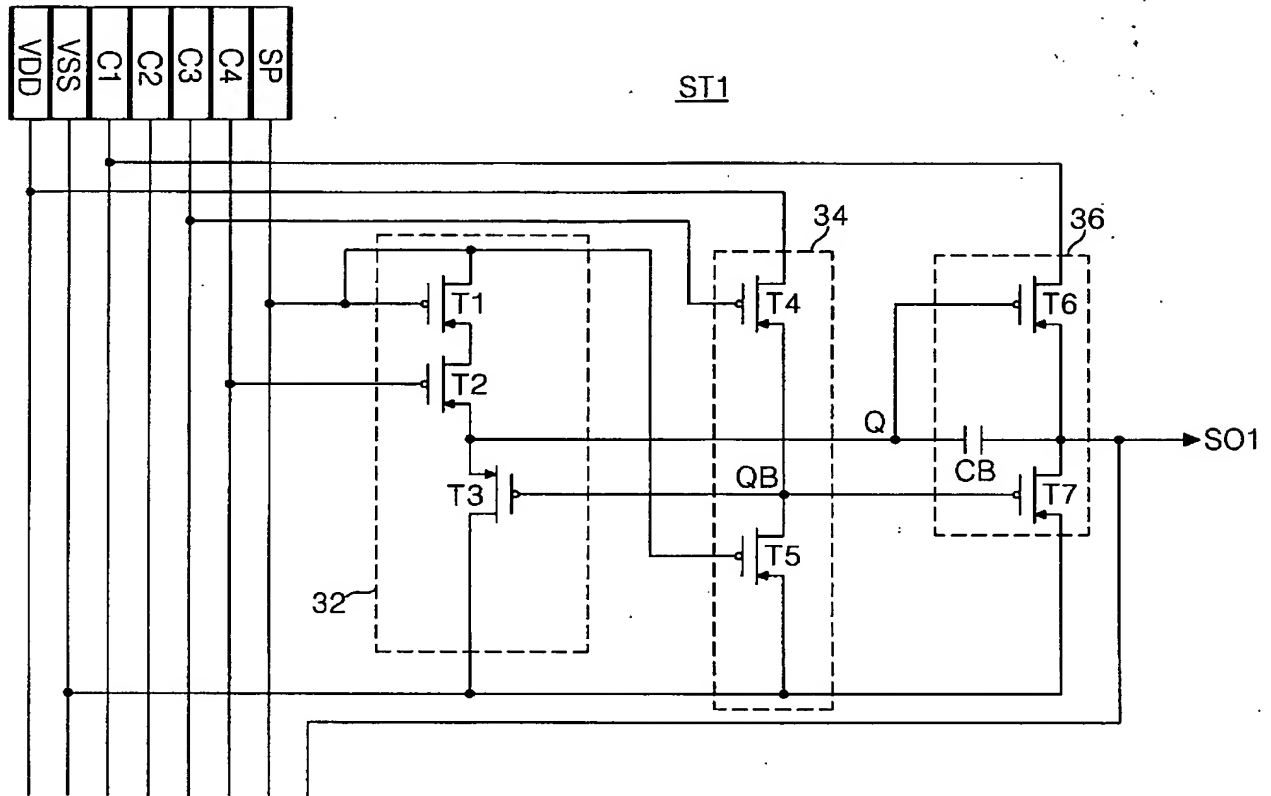
【도 1】



【도 2】

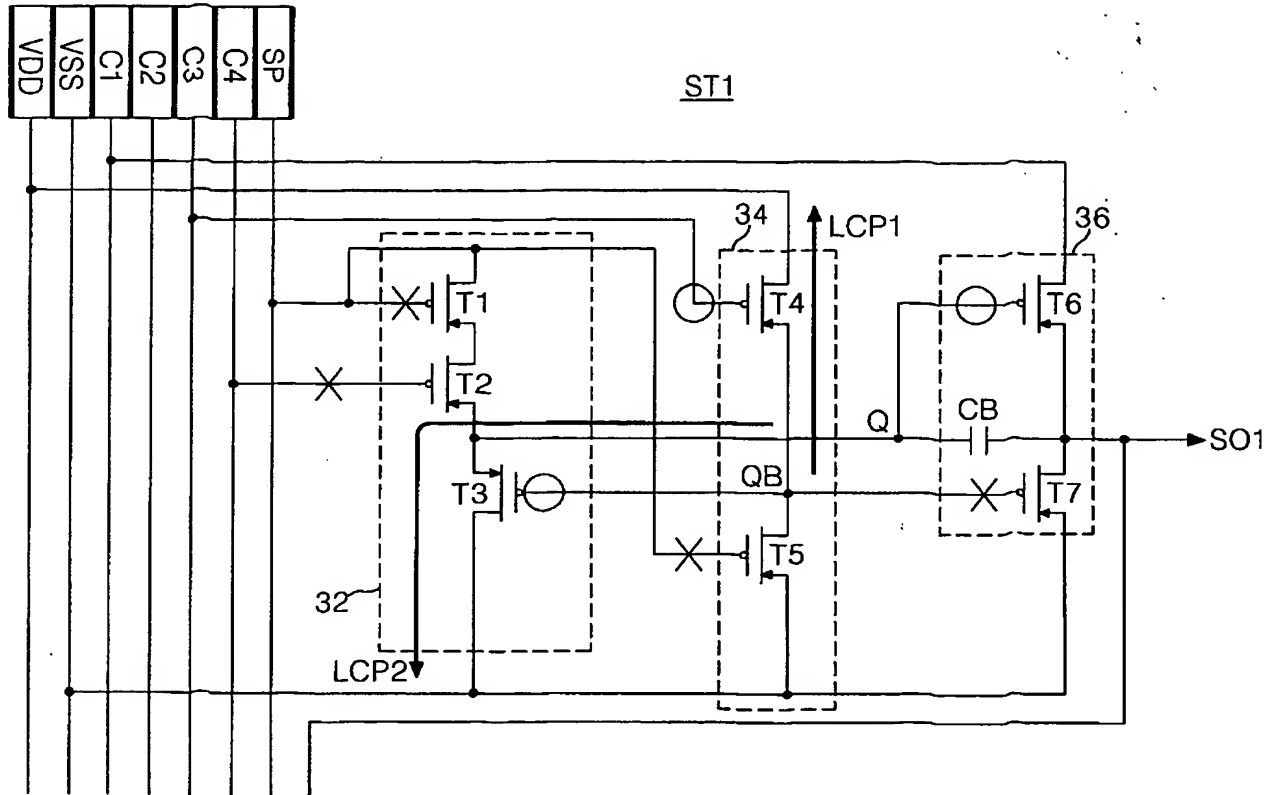


【도 3】

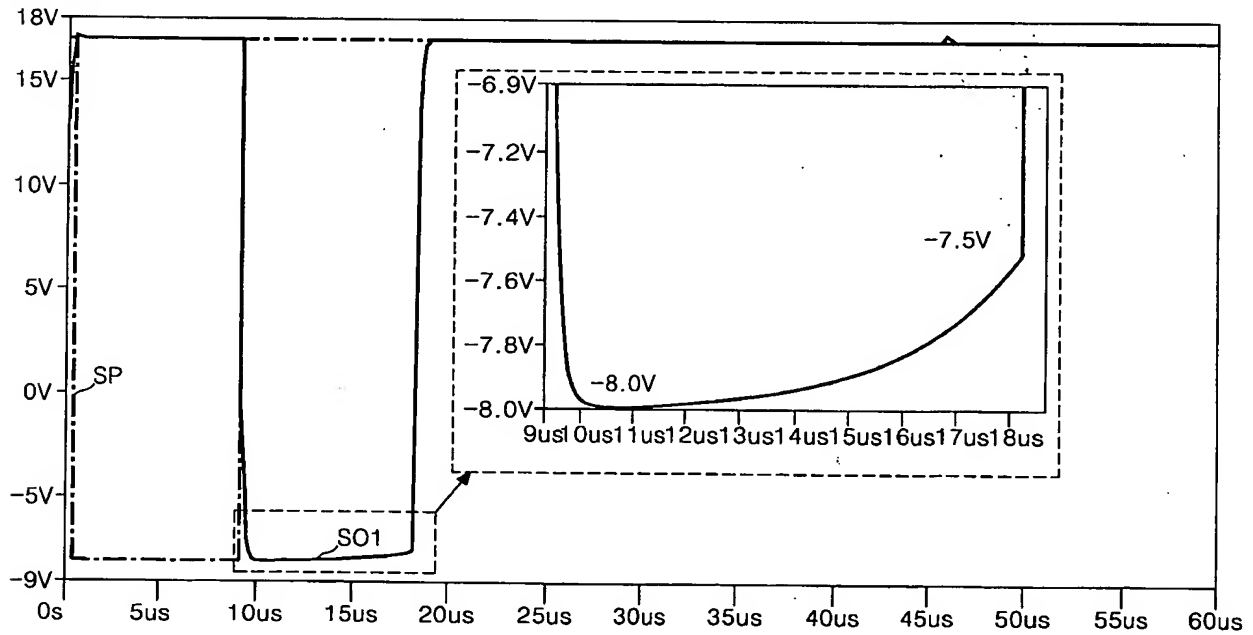




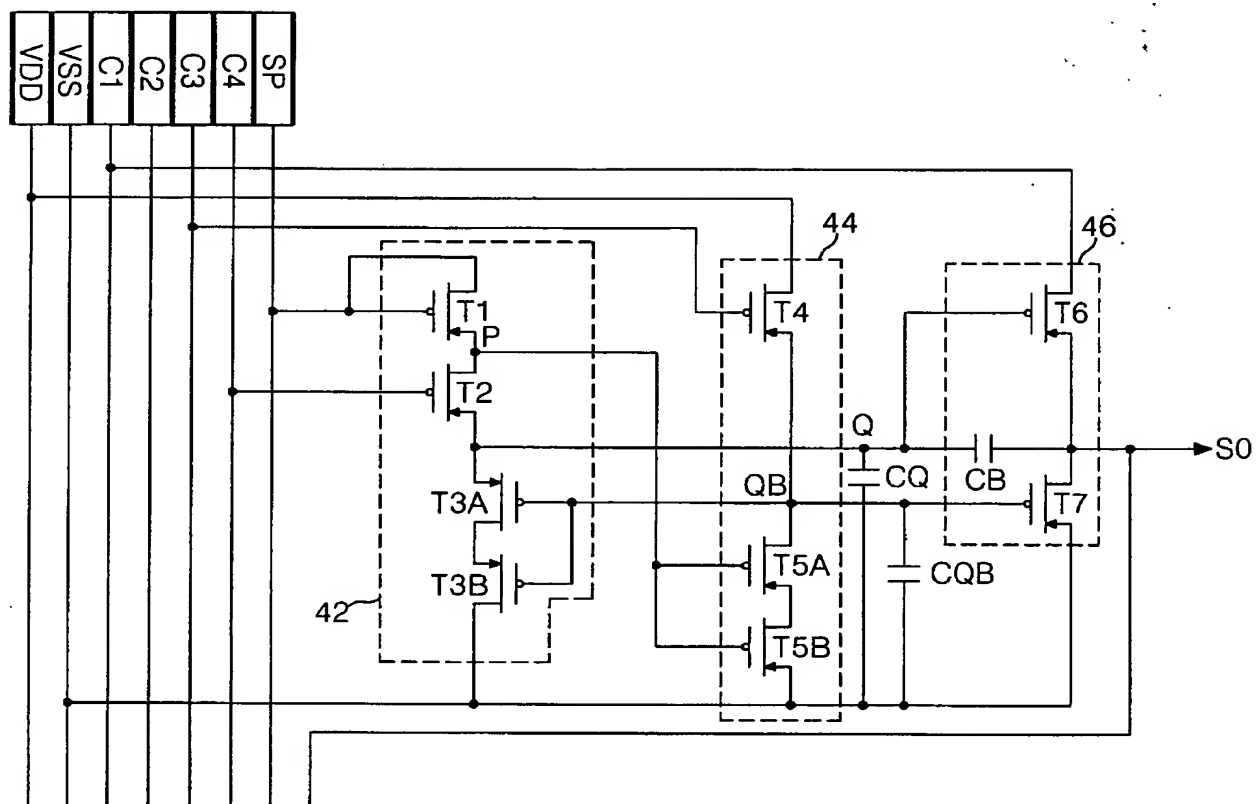
【도 4】



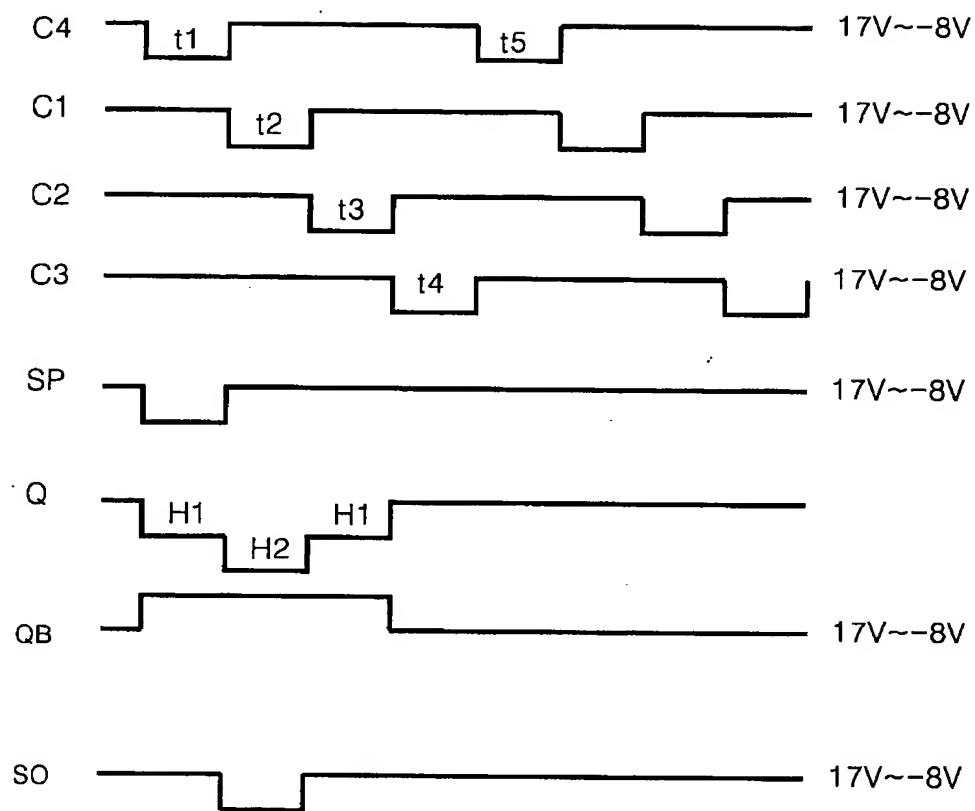
【도 5】



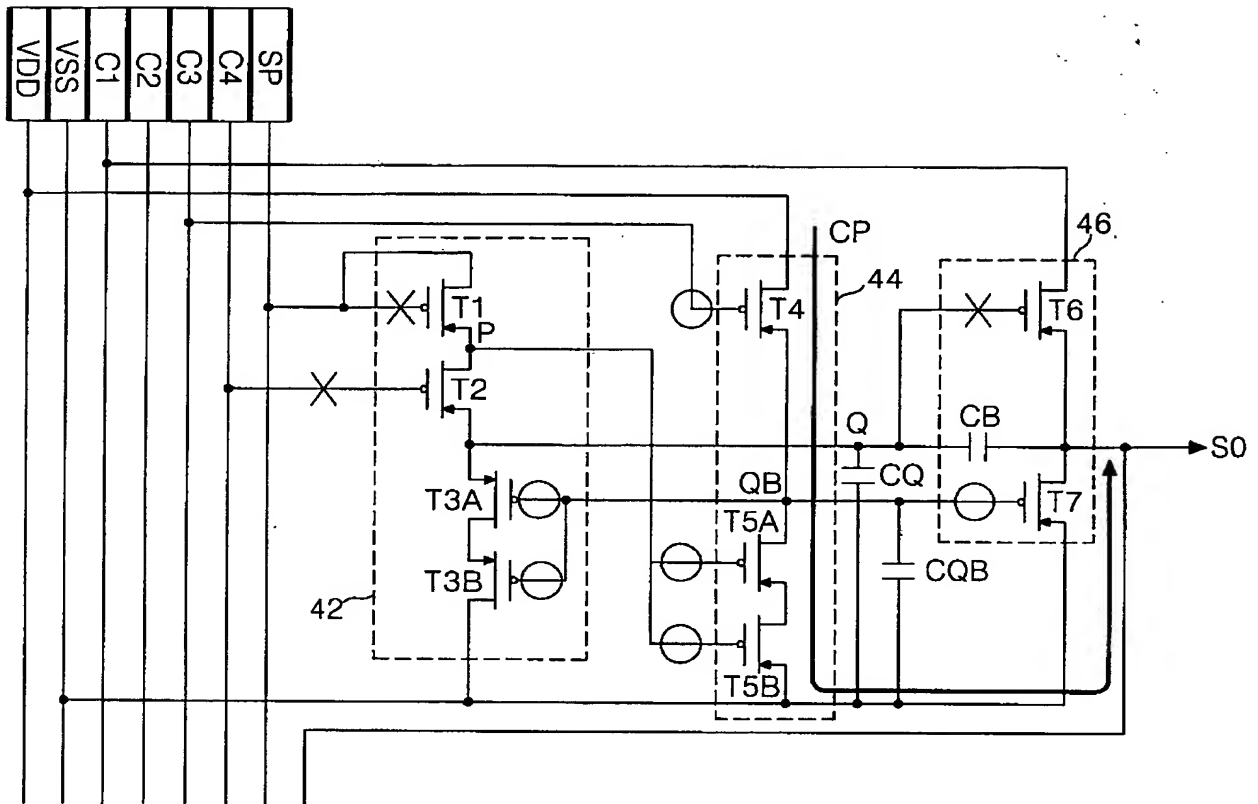
【도 6】



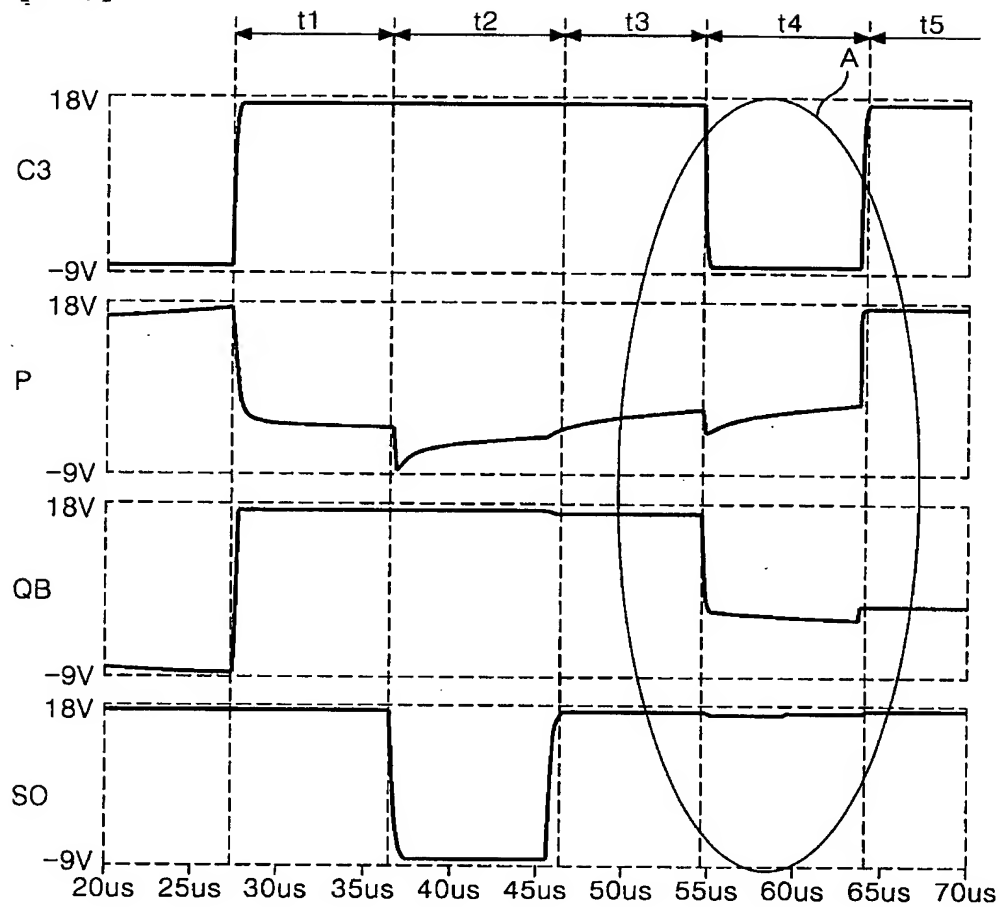
【도 7】



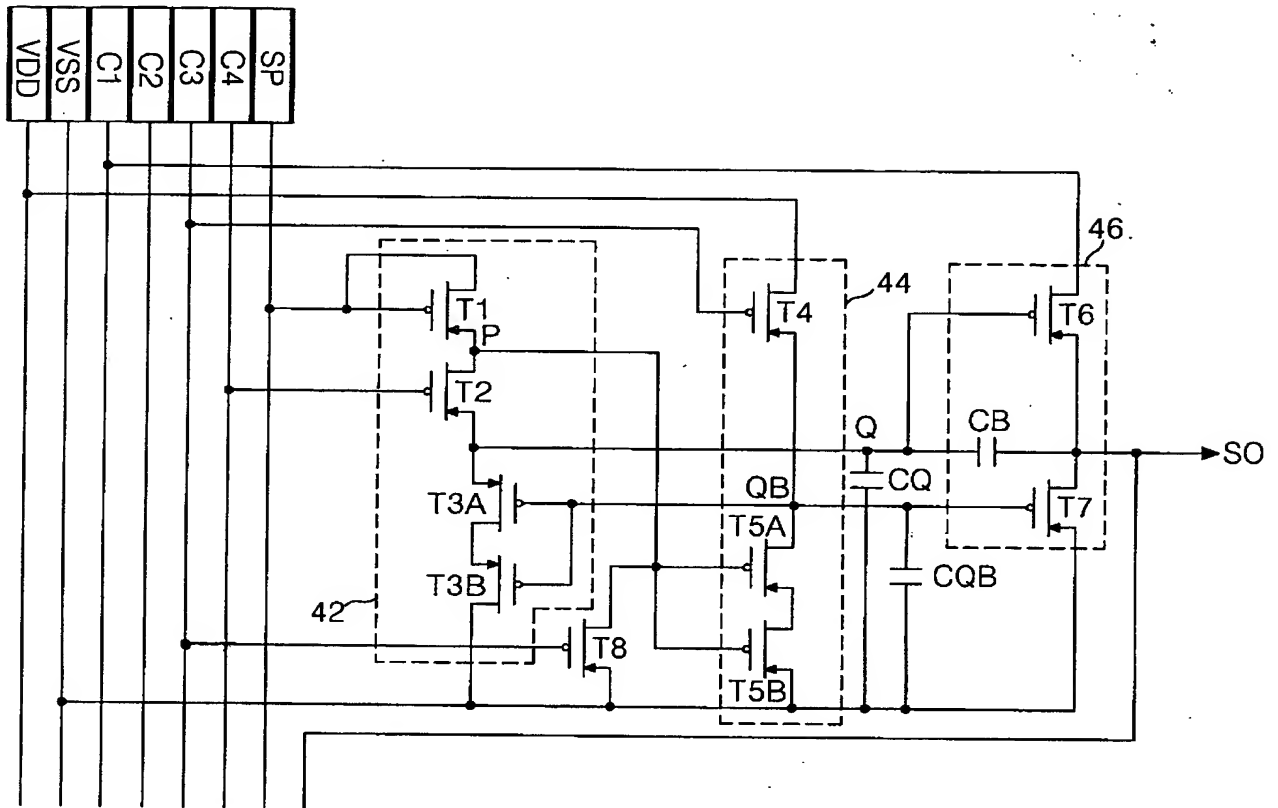
【도 8】



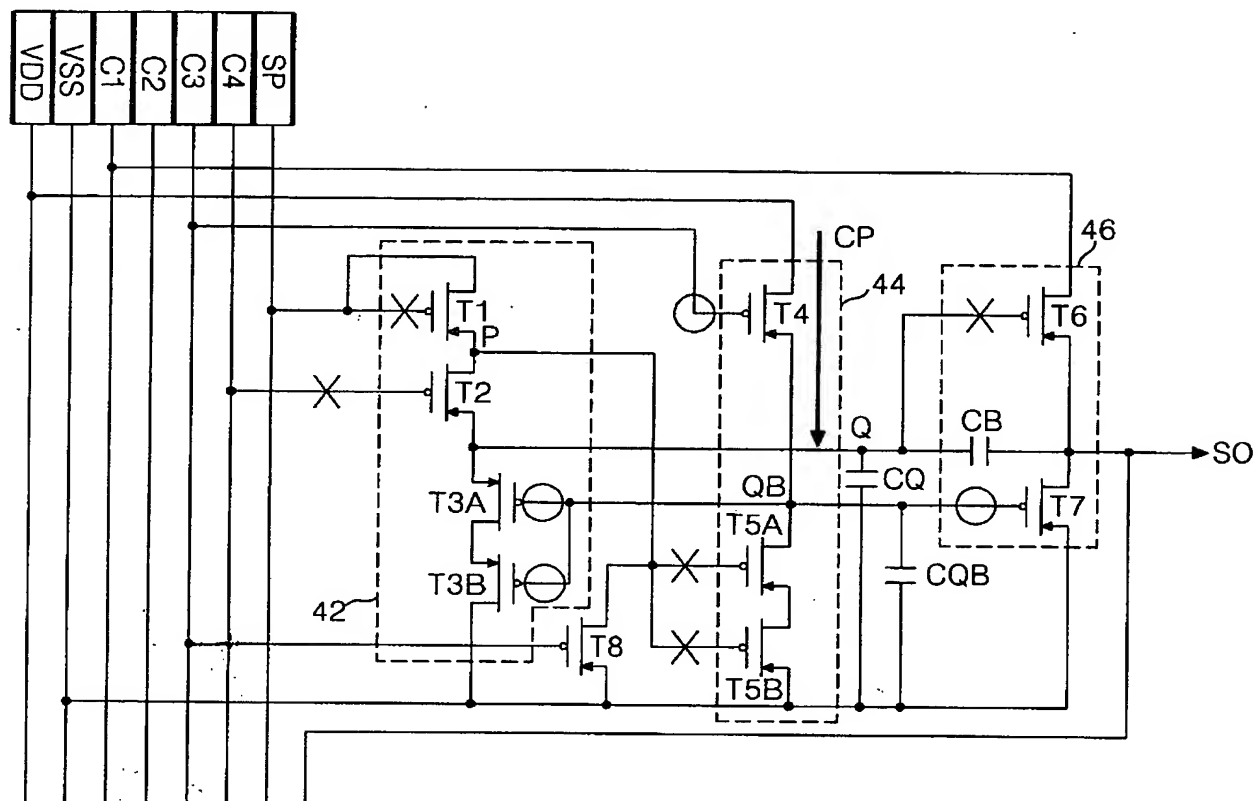
【도 9】



【도 10】



【도 11】



【도 12】

